



戦略的創造研究推進事業（CREST）

「ディペンダブルVLSIシステムの基盤技術（DVLSI）」研究領域

「フィールド高信頼化のための回路・システム機構」

DART技術 (Dependable Architecture with Reliability Testing)

White Paper

Version 4.1

2013.09.09

CREST-DVLSI 梶原チーム



Kyushu Institute of Technology
Nara Institute of Science and Technology
Tokyo Metropolitan University
Oita University



Japan Science and Technology Agency

CREST

目次

1. はじめに.....	2
1.1 背景.....	2
1.2 フィールド高信頼化のための回路・システム機構の研究開発の狙い.....	3
2. DART 技術の概要.....	3
2.1 DART 技術とは.....	3
2.2 研究開発の目標.....	5
2.3 研究開発のアプローチ.....	6
2.4 開発手法の特徴.....	7
3. DART 技術の紹介.....	8
3.1 温度・電圧モニタ技術.....	8
3.2 温度均一化テスト技術.....	8
3.3 分割・巡回テスト技術.....	9
3.4 高品質遅延テスト生成技術.....	9
3.5 低電力 BIST 技術.....	10
3.6 DART 技術の評価事例.....	10
3.7 DART 技術の実用化の取り組み.....	12
4. その他.....	13
4.1 標準化への取り組み.....	13
4.2 知的財産権の取り扱い.....	13
5. おわりに.....	14
文献リスト.....	14

詳細につきましては、お気軽にお問い合わせください
Email: crest@aries30.cse.kyutech.ac.jp

- あなたのシステムのフィールドでの安全性を改善できます。
 - LSI はたとえ良品であっても使っている間に劣化するものです。劣化により遅延マージンが低下すると、ノイズによる誤動作の可能性が高まります。劣化による故障を事前に予知することにより突然のシステムダウンを回避することができます。
 - 生産テストの枠組みを最大限に利用するので、低コストでの安全性の改善が可能です。
- あなたのシステムのデバッグ効率や生産テスト品質も改善できます。
 - 出荷前にチップの遅延マージンを測定できるので、信頼性の高いチップの選別が可能です。
 - チップ内の情報を観測することができるので、フィールドでのシステムデバッグ効率を向上できます。
 - テスト時間制約の下で遅延テスト品質を最適化できるので、コスト考慮のチップ品質向上が可能です。

DART 技術はあなたのシステムの安全・安心に貢献します。

1. はじめに

本書は科学技術振興機構(JST)の戦略的創造研究推進事業(CREST)の研究領域「ディペンダブルVLSIシステムの基盤技術」の一環として実施中の「フィールド高信頼化のための回路・システム機構」の研究内容である、DART (Dependable Architecture with Reliability Testing) 技術[1, 6, 15]について紹介したものです。

1.1 背景

VLSIの微細化技術の進展とともにフィールド運用時のVLSIの劣化が問題となってきています。代表的な劣化メカニズムとしては、BTI (Bias Temperature Instability), HCI (Hot Carrier Injection), TDDB (Time Dependent Dielectric Breakdown), EM (Electromigration), SM (Stressmigration)などがあげられます。図1-1はNBTIによる遅延増加の実測データ例ですが、時間経過とともに周波数が劣化していくことがわかります。ただし、これらの劣化による回路遅延の増加量は、環境パラメータ(電圧, 温度)や使用状況(PMOSのオン比率等)に依存するため、正確に予測することは困難です。

劣化によるシステムの障害を回避する手段としては、現状では動作マージンを設けた設計が通常行われています。しかし、回路の製造ばらつき、動作環境、使用年数などに基づき、最悪ケースを想定して動作マージンを決定すると、アプリケーションによっては5~15%といった過大な動作マージンが必要になります。このため、VLSIの性能が犠牲になるという問題があります。また通常使用状態を予測して動作マージンを決定すると、予測が外れた時に品質問題を起こします。図1-2は、このような動作マージンを設けることによる信頼性考慮設計での周波数劣化の予測例です。TEG (Test Element Group)での評価に基づきバーニン(B/I)での劣化量と実使用時の劣化量を見積って、それらを動作マージンに含める必要があるため、周波数が大幅に低下することになります。

劣化による障害を回避するもう一つの手段として、通常動作時に回路の出力や内部信号線の値を監視するオンラインテストもしばしば用いられています。監視の方法は、バリティチェックや信号の安定性検知機能付きの専用フリップフロップ(FF)を用いますが、特にソフトウェアやノイズ等の一時的な障害に有効な対策とされています。しかし、これらの手法を劣化検知に適用した場合、専用FFはオーバーヘッドが大きく(通常FFの3倍強の面積)、実用上は回路内の一部のFFにしか適用できないため、回路全体の信頼性を保証できないという問題があります。また通常動作時に異常値を出力した場合に初めて故障を検出するため、障害の修復に時間がかかる場合があります。

これらの問題を克服するには、回路全体の網羅的なテスト、さらには劣化の進行の検知と障害の予測といった高度な信頼性保証を実現する必要があります。

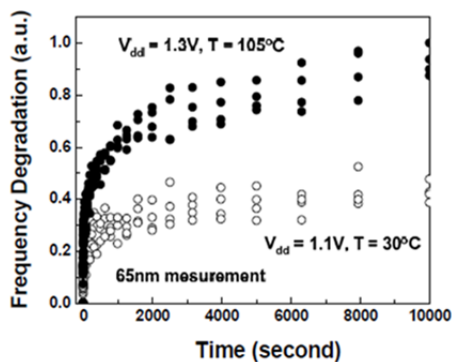


図 1-1 NBTI による遅延増加 (Y. Cao, DRVW2008 より)

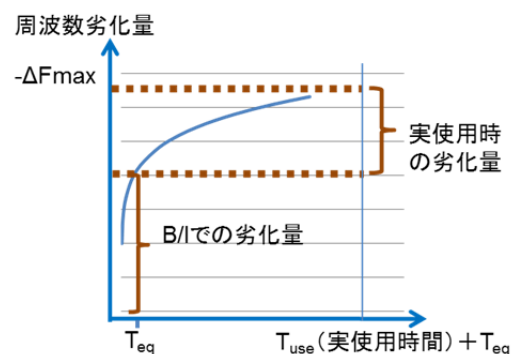


図 1-2 信頼性考慮設計での劣化予測

1.2 フィールド高信頼化のための回路・システム機構の研究開発の狙い

本研究で提案するフィールドテストは、出荷後のVLSIの一部または全体を一時的にテストモードにし、短時間で高品質なテストを行うことで高度な信頼性を確保することを目標としています。フィールドテストには、表1-1に示すように、VLSIの適用対象により異なるテスト制約(使用環境、テストデータ量、テスト時間など)が存在します。例えば、使用期間では、ネットワーク・サーバ等が10年以下と短いのに比べてプラント制御や社会インフラシステムでは30年もの長い期間を要求されます。これらの制約に対応する各種の要素技術と、それらを統合して実用的にフィールドテストを可能にする自己テスト技術の開発が本研究の主な狙いです。さらに、開発した技術のフィージビリティ検証により、本提案技術を高いディペンダビリティが要求されるシステムに適用できることを実証し、実現のためのガイドラインの整備を含めて、その成果が広く社会全般に貢献できることを目指しています。

表1-1 VLSIの適用対象とフィールドテストの制約

適用対象	車載・医療等	プラント制御・社会インフラシステム等	ネットワーク・サーバ等	通常のLSI生産テスト
使用期間	長期(～20年)	超長期(～30年)	通常(～10年)	—
フィールドテスト	パワーオン時	運転中の定期的なテストモード実行	動作中(無休止)	—
テストリソース(メモリ等)	LSIピン・メモリ等ひっ迫	制約あり(冗長設計等の採用)	制約あり(劣化データ蓄積の考慮も必要)	制約小(ATEの利用)
テスト時間	～10ms	～100ms(テスト頻度に関連)	数10～数100ms	物理制約小(コスト制約有り)

2. DART技術の概要

2.1 DART技術とは

フィールドテストの実現方法として、本研究ではシステムの空き時間(パワーオン・パワーオフ・アイドル時など、あるいはシステムの専用メンテナンス時)を利用したVLSIの自己テスト・診断により、遅延マーヅン低下の事前検知と故障の事前回避を可能とする回路・システム機構を開発しています。研究のアプローチとして、DARTと命名した以下の4つの的を狙った要素技術を開発し、並行してシステム化およびフィージビリティ検証を進めています。

- D (Degrade Factor) : SoC/NoC/FPGAの劣化の事前検知
- A (Accuracy) : 高い検知精度の実現
- R (Report) : フィールド故障に至る情報の報告
- T (Test Coverage) : 高い故障検出率の実現



DART技術の基本コンセプトを図2-1に示します。DART技術ではフィールドでのテストで測定したユーザ回路の遅延値から、出荷時の初期状態と比べてどの程度劣化が進行しているかを推定し、遅延値が劣化によって限界値を超える前に警告を発して交換等の対策を促すことができます。これにより突然のシステムダウンを回避することが可能となり、故障率の低減や修理時間の低減に寄与します。

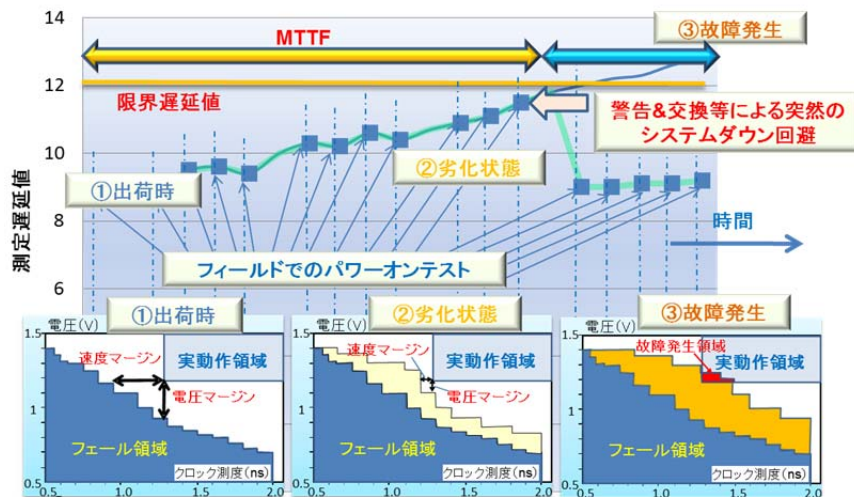


図 2-1 DART 技術の概念 (ユーザ回路遅延値の繰返し測定による劣化量推定)

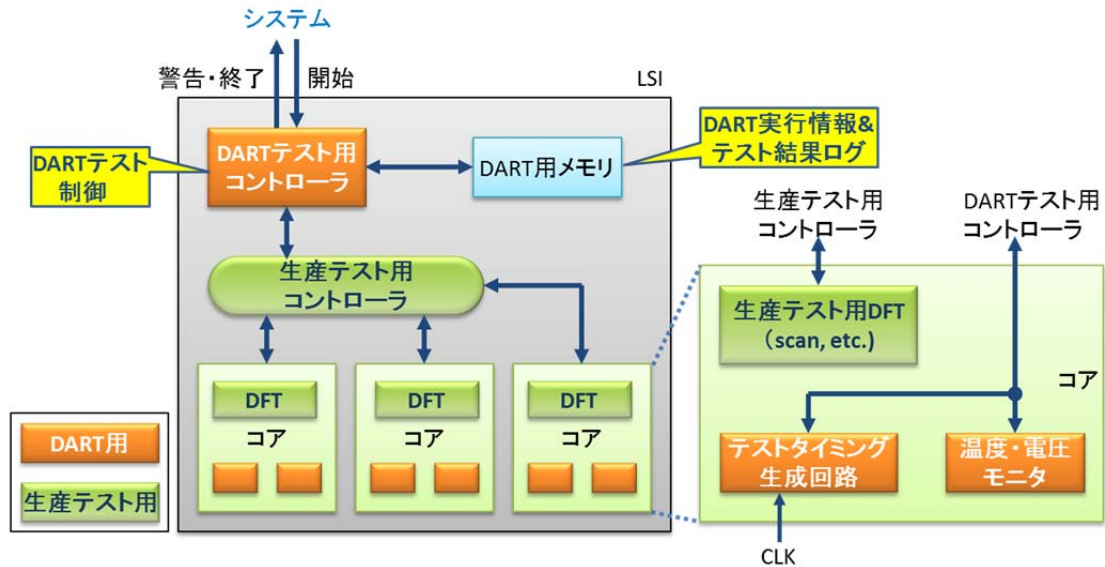


図2-2 DART技術の適用概念図

図2-2はDART技術の適用概念を示したものです。DART技術を適用するためにはフィールドテスト全体を制御するDARTテスト用コントローラを設ける必要があります。このDARTテスト用コントローラによりBIST(Built-In Self Test)などの生産テスト用コントローラを動作させることにより、フィールドでの各コアのテストを実現します。テストのためのパターンはROMまたは不揮発性メモリに記憶します。テストを実行した結果のログも同様です。DARTテスト用コントローラとこのメモリはVLSIに内蔵させることも外部に設置することも可能です。なお、各コア内では、温度・電圧モニタ回路から得た情報に基づいてテストタイミング生成回路で発生するテストタイミングを制御することにより、コア内の回路の劣化を精度よく検知できるようにしています。

このように、DART技術は、劣化の進行度合いの検知によりフィールドでのシステム高信頼化に貢献することができます。DART技術の一つの効果として機能安全レベルの向上が挙げられます。表2-1はDART技術による検出故障範囲の拡大を示したものです。高信頼化を実現する上で考慮すべき故障としては、固定故障に加えて、EM/SMなどによる断線、HCI/NBTI/PBTI/TDDDBなどの劣化による遅延増、ノイズ/ソフトウェアなどの過渡性の故障があります。システム多重化はこれらの故障に対応する高信頼化技術として良く用いられていますが、故障が顕現した後でしか検出できないため、複数のサブシステムに共通な故障が発生した場合には必ずしも対応できないという問題があります。例えば、劣化が原因であるサブシステムに故障が発生したとします。この時、他のサブシステムも同様な使われ方をしてきたとすると、同じような時期に同様の劣化による故障が発生する可能性が高くなります。このような状況でその故障部分が活性化されると、共通故障が発生した状況になり、システム多重化による多数決論理だけでは正しい答えを得ることができなくなります。このような共通故障に対しても、DART技術を適用することにより、劣化を故障に至る前に検知して必要な対策をとることが可能になります。

表2-1 DART技術による検出故障の範囲

故障原因	特徴	システム多重化 (※1, 2)	実動作時テスト (異常モニタ等) (※2)	フィールド BIST (※2)	DART 検出	備考
固定故障	急激な固定故障(ランダム)	◎	×~△ (網羅性無)	◎	◎	いずれも 故障後検出
EM/SM	急激な配線破壊(ランダム)					
HCI/NBTI/ PBTI	緩やかな遅延増加 (システムティック)	×~△ (共通故障)	×~△ (網羅性無)	◎(故障後)	◎(故障前(※3))	
TDDDB	遅延増加→ゲート破壊 (ランダム)			◎(故障後)	◎(故障後) △~○(故障前(※3))	
ノイズ	マージン不足(一過性)	◎	×~△ (網羅性無)	×	△~○(故障前(※3))	
ソフトウェア	一過性(再現性無)			×	×	

※1: 共通故障(CCF, common cause failure)については対応困難

※2: 故障後の検出のみに対応

※3: DART固有の部分

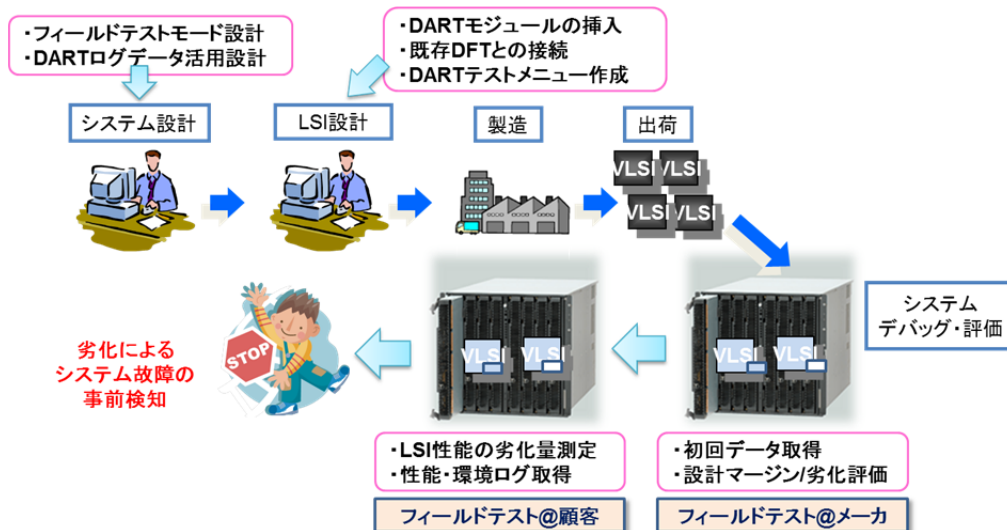


図2-3 DARTによる製品開発フロー

このようなDART技術をシステムに適用するために図2-3の製品開発フローを提案します。このフロー例に示すような、システム設計とLSI設計でのDART技術のVLSIへの組み込みとフィールドテストでのDART技術の活用によって、フィールドでのシステムの信頼性向上さらには高いレベルの機能安全の実現につなげることができます。

2.2 研究開発の目標

前節に示した方針に沿った研究開発として、具体的には、表2-2に示すように、開発すべきDART技術を4つの研究項目に大別し、それぞれの研究項目をさらにブレイクダウンすることにより、詳細な研究目標を設定しています。

表2-2 研究項目と達成目標

研究項目	目標	効果と説明
1 高精度遅延測定	50ps以内の遅延測定誤差 (周波数300~500MHzを想定)	温度や電圧の変動をデジタル測定可能
	テスト時の温度変動5°C以下	温度変動による誤差の低減
2 テスト制約対応	検出率95%以上	テスト品質の確保
	テストデータ量1/3000以下	オンチップのメモリに搭載可能
	1回のテスト時間10~200ms	システム動作への影響を低減
3 システム化	論理BISTによる実現	既存回路の利用による付加回路量の低減、テストデータ量削減と低電力化
	非同期回路への対応	NoC (Network-on-Chip) への適用が可能
	テスト履歴の活用	劣化判定と診断効率の向上
4 実用化対応	開発技術実現のためのガイドラインの提供	一般ユーザの評価/導入が可能
	フィージビリティ検証による有効性・効果の実証	実システムへの組み込み/試作/シミュレーションによる実用性実証 (性能, 精度, フィールドデータ取得, 運用時の性能・動作環境モニタリング等)
	機能安全国際規格化	提案技術の標準化

研究項目1の高精度遅延測定は、フィールドで高精度に回路の遅延を測定する技術の開発を目的としています。DART技術では、自己テスト・診断により回路内のパスの遅延測定を行い、劣化による故障の事前予測や故障検知を実現します。システムクロックに対し1~2桁小さい精度での遅延測定を実現し、劣化量を遅延の増加として測定して劣化による障害を事前予測するシステムを実現します。

研究項目2のテスト制約対応では、適用対象ごとに異なるテスト時間、テストデータ量等の制約を満たす技術の開発を目的としています。表2-2に示す目標値は、生産テストでのテスト制約と比べても厳しい制約ですが、これらを達成することにより、DART技術導入によるシステムへの負荷を低減し、提案技術の実用化を可能にします。

研究項目3のシステム化対応は、システム稼働中でもテストを可能にする技術の開発を目的としています。これにより、DART技術のシステムへの適用が可能になります。

研究項目4の実用化対応は、開発技術を実現するためのガイドラインの提供により、多くのポテンシャルユーザによる評価/導入を可能にするるとともに、企業との連携による実システム適用を含むフィージビリティ検証により提案するガイド

ラインの有用性を実証することを目的としています。図2-4はDART技術実現のための作業フローです。設計の各フェーズに合わせてDART組込みに必要となる作業内容をガイドラインとして提供することによりDART技術をVLSIで容易に実現できるようにすることを目指します。実用化対応としては、さらに、DART技術を組み込んだVLSIを用いたシステムから、フィールドテストによりシステム内部の遅延値などのデータが取得・解析できることを実証し、DART技術がシステムのディペンダビリティ向上に有用であることを示します。

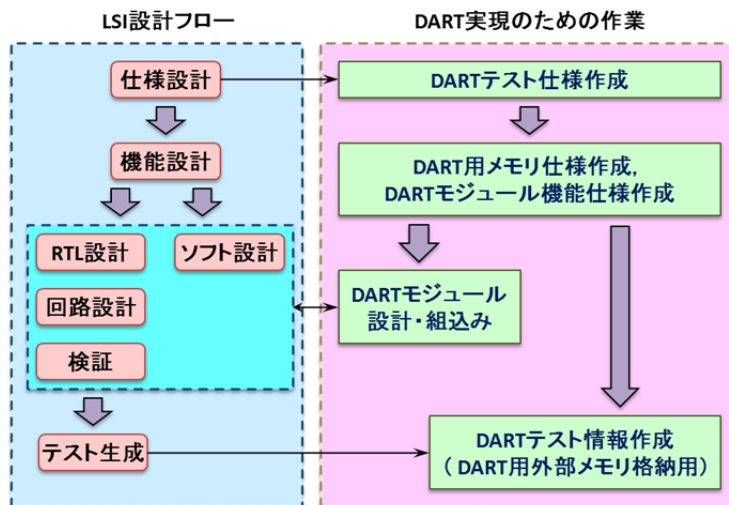


図 2-4 DART 技術実現のための作業フロー

2.3 研究開発のアプローチ

研究では、フィールドにおいて、VLSIの自己テスト・診断により劣化の事前検知と故障検出を可能とする手法を開発しています。研究のアプローチとしては、図2-5に示すように、表2-2に示した4つの研究項目を技術課題にブレイクダウンして、それぞれに対応する技術を開発するという方法を用いています。



図 2-5 研究開発のアプローチ

高精度な遅延測定を行うために、統計処理による量子化誤差の低減を行います。本研究では、フィールドでのVLSIの自己テストにより回路遅延を測定しますが、回路の遅延は、劣化だけでなく、回路の電圧や温度の変動などの環境条件にも依存します。そこで、測定誤差を低減するために、モニタ回路を利用した遅延測定値補正[13]とテスト時温度安定化[3, 9]を行います。

適用対象ごとに異なる、テスト時間、テストデータ量等の制約を満たすために、分割・巡回テスト技術、高品質遅延テスト生成技術、劣化検知テスト技術を開発します。分割・巡回テストでは、VLSI全体のテストを複数回のテスト機会に分割して行うことで、1回のテストのテスト時間・テストデータ量を削減します[8]。高品質遅延テスト生成技術では、テスト時間、テストデータ量の制約に応じて遅延テストの品質を最適化します[2, 5, 7, 10, 14, 18, 19]。劣化検知テスト技術では、劣化メカニズムを考慮したテスト対象の絞り込みを行い、特定の劣化メカニズムに特化したテスト最適化によって、テスト時間、データ量を削減します[4]。さらに、生産テストで利用されるBIST技術を改良し、ハードウェアによるテストデータ量

の削減やBIST時の電力低減を可能にします[11, 16, 17]。

システム化では、スキャン設計や論理BISTなどの生産テストで使用されるDFTの枠組みを、提案するモニタ回路やテスト結果のログ機能と連動させて、フィールドテストのためのテストアーキテクチャを実現します[12]。生産テストの枠組みを再利用することで、ハードウェアオーバーヘッドを抑え、テスト品質を保証することを可能にします。

実用化については、開発技術を汎用化・標準化の観点で見直して、DARTモジュールとして実現ためのガイドラインを開発するとともに、フィジビリティ検証として、企業と連携して実システムに本技術を組み込むことで、実用的なリソース(ハードウェアオーバーヘッド、テスト時間、テストデータ量)で目標とする遅延測定精度を達成できることを示し、本技術が実用化可能であることを実証します。そのほか、実システムに組み込まなかった項目については、チップ試作やシミュレーションでの検証を行います。また、開発技術の有効性・効果をユーザが容易に認識できる形で示すため、機能安全国際規格(IEC61508)の要件として本開発技術の採用を目指します。

2.4 開発手法の特徴

本研究で開発している方法・アイデアの適用効果、適用対象の広さ、優位性、独創性について以下に示します。

本研究では、スキャン設計や論理BISTなどの生産テストで使用されるDFTの枠組みを利用して、フィールドテストを実現します。また、開発手法は、システム運用時のフィールドでのオンライン使用と、システム開発時やシステム休止時のシステムデバッグでのオフライン使用の双方での利用が可能です。オンラインでの使用は、定期的な遅延測定により劣化による遅延の増加を捕らえるため、フィールドでのシステムの信頼性向上に貢献します。一方、オフラインでの使用は、出荷前のチップの遅延マージンおよび初期の劣化量を測定することにより信頼性の低いチップを事前に検出するだけでなく、チップ内部の情報を獲得することによりフィールドでのシステムのデバッグ効率向上にも貢献します。さらに、本研究では、テスト時間とテストデータ量の厳しい制約の下でテスト品質を最大化する技術や非同期回路に対するテストおよびテスト容易化設計技術を提供します。これらの技術は、生産テストにも適用可能であり、同期回路、非同期回路、両者を混載するGALS(大域非同期局所同期)システムを含むVLSIチップの品質向上に貢献します。表2-3に示すとおり、本研究はオンラインとオフラインを含めて様々な目的での利用が可能であるという特徴を持っています。

表 2-3 本研究の利用目的と処理内容

利用方法	利用目的(適用効果)	内容
フィールドテスト (オンライン使用)	劣化による故障の事前検知	遅延マージン変化履歴解析
	誤動作時の診断情報提供	テスト箇所と遅延マージン取得
システムデバッグ (オフライン使用)	設計マージン・劣化度合いの把握	時間経過、環境影響、通常劣化、加速劣化等のデータ取得
	システム診断情報提供	不良解析時に遅延情報取得
生産テスト (オフライン使用)	チップ品質向上	リソース制約下での遅延テスト品質最大化、非同期回路のテスト容易性向上

本研究の適用対象を考えると、技術的な適用可能性よりコスト許容性により導入の可否が決定される場合が多くなります。本研究のアプローチは、表1-1に示した適用対象のうち、長期間での使用のため冗長設計による高信頼化が必要とされる、プラント制御・社会インフラシステム等に最も適合すると考えられます。また、ネットワーク機器や性能選別が必要なサーバにも本研究のアプローチは適合します。一方、車載LSIや民生用LSIについては、技術的には適用可能ではあるものの、外部ピンやチップ面積等のコスト制約が厳しいため、直ちに現製品へ適用することは困難ですが、次世代以降の技術としては必要になると考えます。

本研究は、類似の研究と比較して以下の点が優位にあります。

- SoC, NoC, マルチコアと、広範なVLSIのアーキテクチャに適用できる。
- LSIだけでなく、FPGAを用いたシステムにも適用できる。
- 生産テストで使用されるDFTの枠組みを利用するため、システムへ与える影響が少なく、生産テストやシステムデバッグの効率化にも貢献する。

また、以下の点が独創的です。

- 論理回路の動作マージンの高精度な測定方式
 - 遅延測定時の温度・電圧モニタと測定遅延値の補正機能
 - 標準ライブラリで構成可能な、非劣化リングオシレータ(R.O.)回路による温度・電圧モニタ
 - テスト時の消費電力と温度の同時制御
- 適用対象のテスト制約(テスト時間、メモリ量)にフレキシブルに対応可能なテスト方式
 - フィールドでの複数回のテスト機会の活用
 - 効率的なテスト対象の抽出
- 測定結果ログの記録とシステム診断への適用

3. DART技術の紹介

DART 技術として開発した要素技術のうち、温度・電圧モニタ技術、温度均一化テスト技術、分割・巡回テスト技術、高品質遅延テスト集合生成技術、及び低電力 BIST 技術、並びに DART 技術の実用化の取り組みについて紹介します。

DART 技術の実現には必ずしも全ての技術を採用する必要はありませんが、必要に応じてこれらの技術を用いることで、より高精度で高効率なテストを可能にします。

3.1 温度・電圧モニタ技術

劣化によるユーザ回路遅延値の変動量は長期間におけるDARTの遅延値測定で初めて検出可能ですが、各測定時の温度条件等が同一という保証はありません。そこでDART技術では、高精度な回路遅延の測定を目的として、温度・電圧モニタを利用した温度・電圧環境変動による測定遅延値の補正を行います。図3-1に示すように、異なる特性を持つ3種のリングオシレータ(R.O.)を利用し、その測定値と初期測定値の差分から回路遅延測定時の温度及び電圧変動量を推定し、この推定値を用いてユーザ回路の回路遅延測定で得られた最大遅延値を補正します。なお、R.O.自体の劣化の影響を無くすためには、未使用時に電源を切断する回路構成が通常行われますが、DARTでは標準ライブラリで可能な劣化耐性のあるR.O.構成も提案しています[13]。

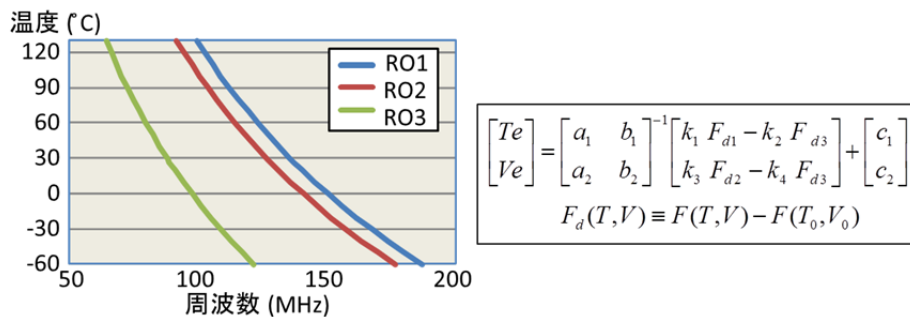


図3-1 温度・電圧モニタによる高精度回路遅延測定

3.2 温度均一化テスト技術

テスト時における各コア内やコア間での温度の違いは、測定したユーザ回路遅延値の誤差要因となります。DART技術では、フィールドテスト時の温度バラツキの削減を目的として、時間的・空間的な温度均一化のためのテスト手法を提供します。空間的な温度均一化のためには、生成されたテストパターン中のドントケア(X)値のフィル方法を工夫しています(図3-2参照)[3]。また、時間的な温度均一化のためには、テストパターンの並べ替えを行っています(図3-3参照)[9]。これにより、時間的にも空間的にも温度バラツキの少ないテストを実現します(図3-4参照)。本テスト技術はDARTのフィールドテストだけでなく、生産テストにおける実速度テストの精度向上にも寄与が期待されます。

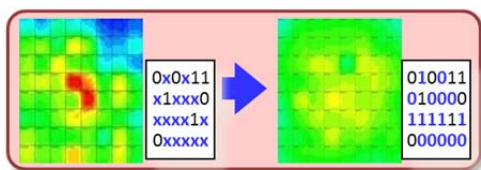


図3-2 温度均一化考慮Xフィル手法

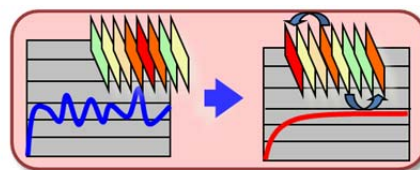


図3-3 温度均一化考慮パターン並べ替え手法

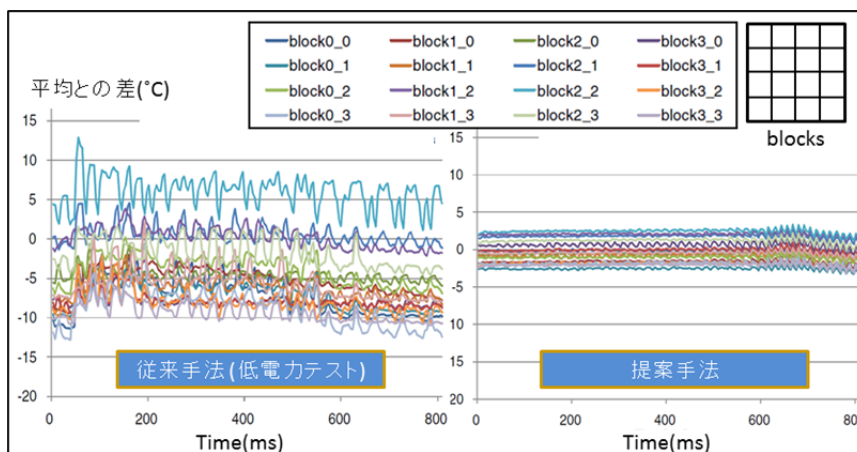


図3-4 温度均一化テストの効果例

3.3 分割・巡回テスト技術

DART技術では、各テスト機会でのテスト時間を所定の範囲に収めることを目的として、全体テスト集合を分割して各テスト機会に振り分ける分割・巡回テスト手法(図3-5参照)を用います[8]。本技術により、故障検出率を下げることなく所定のテスト時間でのDART運用が可能となります。劣化検知能力を高めるためのアダプティブな部分テスト集合の変更を可能とする技術も提案しています[12]。

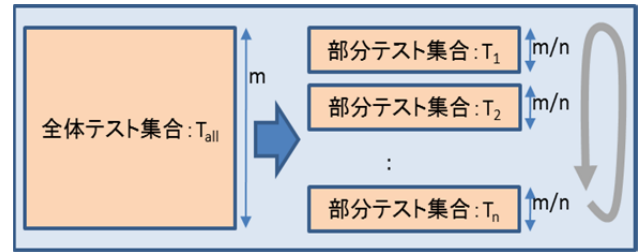


図 3-5 分割・巡回テストの概念図

3.4 高品質遅延テスト生成技術

劣化では最長の論理パスの遅延値増加だけでなく、短い論理パスの劣化増加もTDDDBのように回路破壊に至る可能性があるため、各パスの遅延増加を精度よく測定する技術も必要となります。DART技術では微小遅延に対するテスト品質の向上を目的として、さまざまな高品質遅延テスト生成手法を開発しています。その一つとしてFaster-than-at-Speedテストの利用方法を提案しています(図3-6参照)[10]。本テスト技術はDARTのフィールドテストだけでなく、生産テストにおける実速度テストの精度向上にも寄与が期待されます。

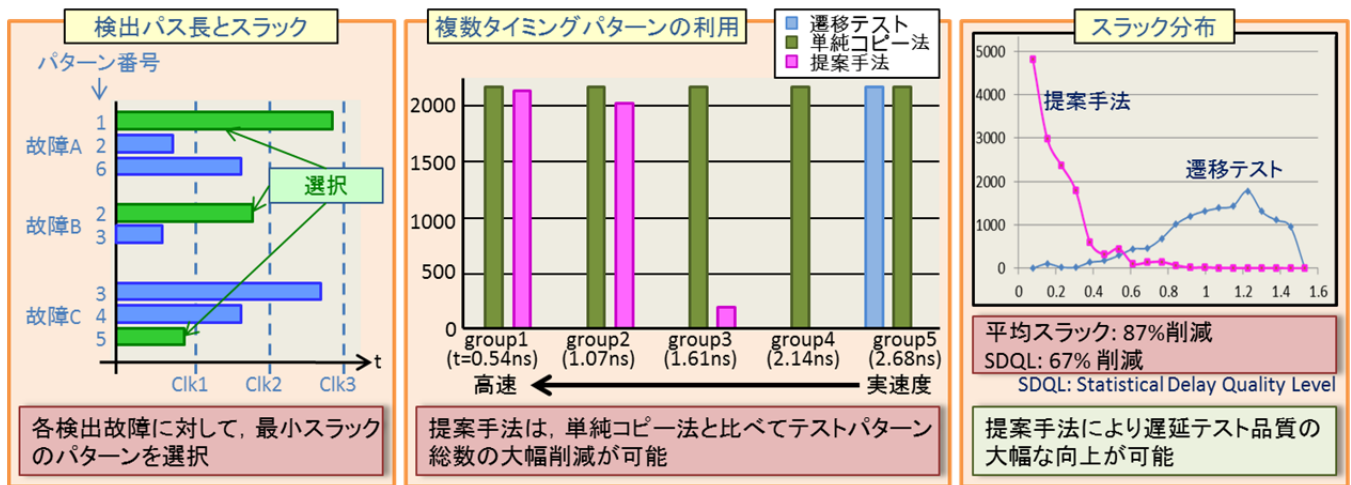


図3-6 Faster-than-at-Speedテストを利用した高品質遅延テスト生成手法

また、遅延テスト時の精度向上のための技術のひとつとして、高速IRドロップ解析手法も提案しています(図3-7参照)[14, 18]。これにより、テスト時の電力消費によるIRドロップの遅延への影響の考慮した実速度テストが可能となります。

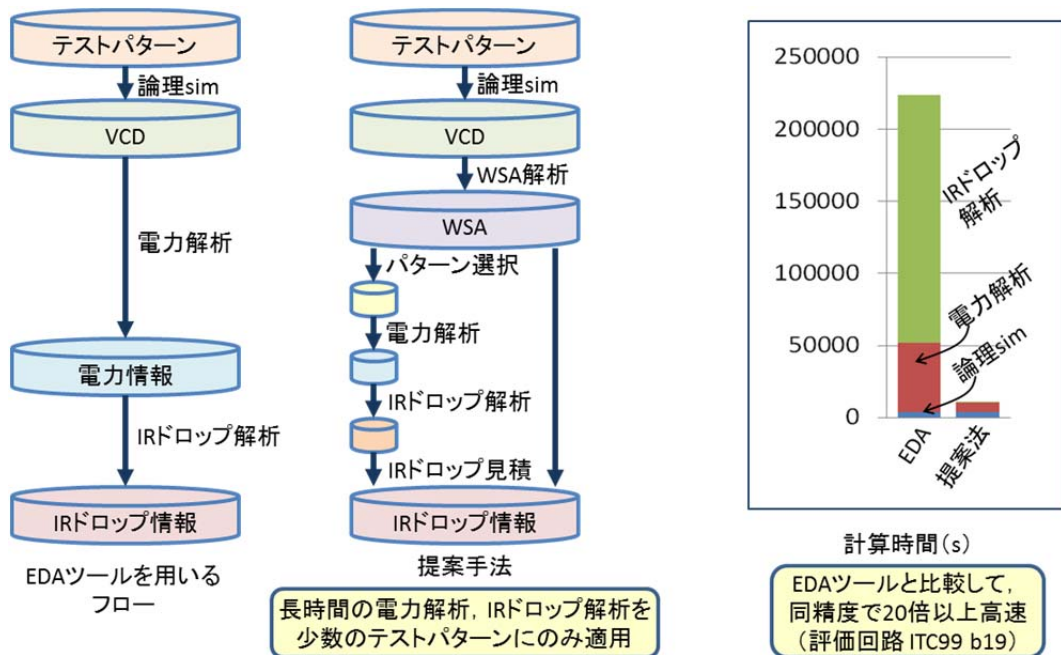


図3-7 高速IRドロップ解析手法およびその効果

3.5 低電力BIST技術

DART 技術では、BIST 時の過度な発熱や電圧ノイズの発生によって、論理パスの遅延値が変化したり正しい値を伝播できなくなったりする現象を抑止するため、テスト時電力を低減あるいは制御する低電力 BIST 技術を提供します。テスト時の電力は、テストパターン入力（スキャンイン）、テスト（キャプチャ）、テストパターン出力（スキャンアウト）の3つの要因に分けられ、各々は異なる動作を行います。提案する低電力 BIST はこれらすべてをカバーする総合的な技術です。低電力 BIST は従来の BIST 回路に、各動作の電力低減に寄与する回路を付加することで実現できます（図 3-8 参照）。提案手法を既存の代表的な手法と比較しましたが、各動作の電力低減だけでなく故障検出率の面でも優れた結果を示しています（図 3-9 参照） [16, 17]。

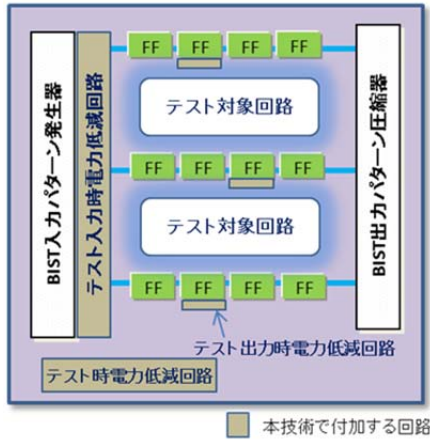


図3-8 低電力BISTの構成

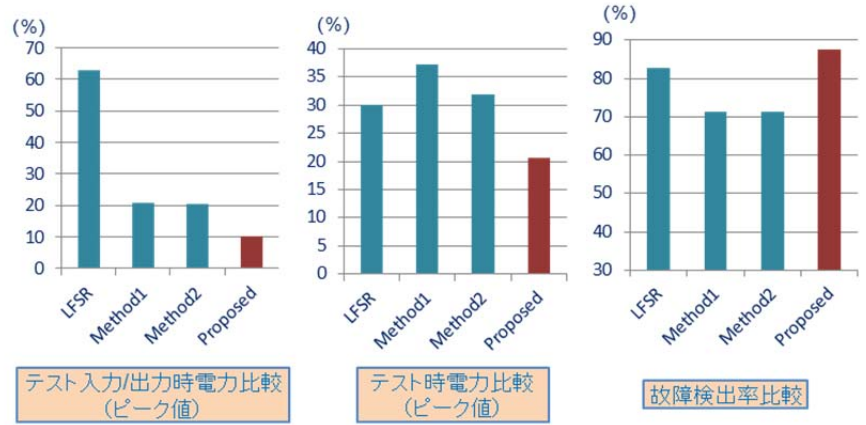


図3-9 低電力BISTの評価例(電力, 故障検出率)

3.6 DART技術の評価事例

DART技術の実用回路での評価事例[15]を示します。対象回路は、回路規模が7.2Mゲート、フリップフロップ数が356kで12個のクロックドメインを持ちます。またSRAMとレジスタファイルを合わせて264個のメモリを搭載しています。生産テスト用回路としては、スキャン回路に加えて、ロジックBIST用のテストパターン発生回路 (TPG (Test Pattern Generator)) 及びテスト結果解析回路 (TRA (Test Response Analyzer))、メモリBIST回路、及び、バウンダリスキャン用TAPC (Test Access Port Controller) 回路を搭載しています。

この回路にDART技術を適用した回路構成を図3.10に示します。DART用回路としては、DARTによるテストを制御するDART用コントローラのほか、遅延測定のためのテストタイミング発生回路、テスト情報及び結果格納用のオンチップDARTメモリ、温度・電圧補正に用いる温度・電圧モニタ (TVM (Temperature and Voltage Monitor)) [13]を搭載しています。また、生産テスト用のロジックBISTやメモリBISTのための回路はTAPC経由で制御しています。

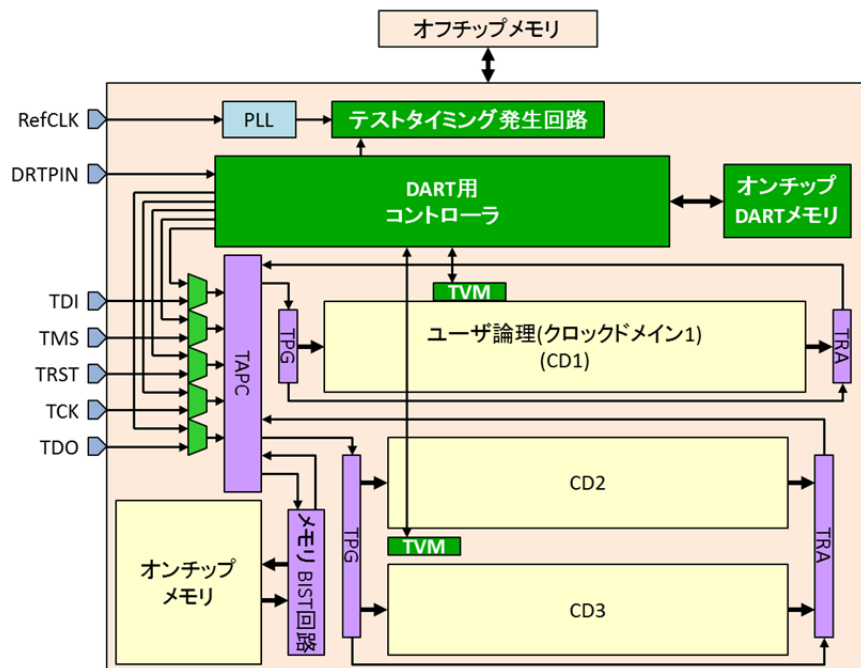


図3-10 DART適用回路構成

この評価において得られた結果を以下に示します。

回路のオーバヘッドについては、表3-1に示すとおり、DART用回路全体としては約14kゲートになりますが、これは回路全体の0.2%程度に過ぎません。なお、DARTメモリについては実動作で用いる作業用メモリと兼用できるためオーバヘッドには含めていません。

表3-1 DART用回路のオーバヘッド

項目	セル数	ゲート数		
		組合せ素子	その他	合計
LBIST用	1.1k	2.0k	0.2k	2.2k
MBIST用	1.1k	1.6k	0.2k	1.8k
全体制御用	0.5k	0.2k	2.6k	2.8k
TVM	2.5k	6.8k	0.4k	7.2k
DART用回路全体	5.2k	10.5k	4.4k	13.9k

TVMによる温度・電圧測定については、温度電圧の概略の範囲を推定したのち精度よく推定する手法を用いていますが、表3-2に示すとおり、それぞれの範囲で温度に関するばらつきが0.7~1.4°C、電圧に関するばらつきが3~5mVとなっています。これは、フィールドにおいて温度・電圧による影響を十分に低減できるレベルです。

表3-2 TVMによる温度・電圧の推定精度

				温度範囲(概略範囲決定による)		
				-40°C ~ 20°C	20°C ~ 80°C	80°C ~ 110°C
温度推定	電圧範囲 (概略範囲決定による)	1.0V ~ 1.1V	誤差(最大)	2.4°C	2.4°C	2.0°C
			誤差(最小)	-2.6°C	-2.6°C	-1.3°C
			標準偏差	1.2°C	1.1°C	0.8°C
		1.1V ~ 1.2V	誤差(最大)	3.0°C	2.6°C	2.3°C
			誤差(最小)	-3.3°C	-2.7°C	-2.1°C
			標準偏差	1.4°C	1.3°C	1.1°C
		1.2V ~ 1.3V	誤差(最大)	1.9°C	1.9°C	1.9°C
			誤差(最小)	-2.8°C	-1.8°C	-1.3°C
			標準偏差	1.2°C	0.9°C	0.7°C
電圧推定			誤差(最大)	8 mV	8 mV	5 mV
			誤差(最小)	-13 mV	-15 mV	-8 mV
			標準偏差	5 mV	5 mV	3 mV

一方、フィールドでのテスト時制約(テストデータ量及びテスト時間)への対応については、テスト対象として12のクロックドメイン内の回路及び52のクロックドメイン間の回路のすべてをロジックBISTでテストすることを前提に評価しています。またテスト制約としては、テストデータ量を8kB、テスト時間を200msと設定しています。なお、DARTでのテストにおけるロジックBISTでは、テスト品質向上のために複数シード(TPGの種パターン)によるリシード方式を用いています。多くのシードを用いたほうがテスト品質の向上は可能ですが、テストデータ量は増加してしまいます。表3-3はフィールドテストの1回のテスト機会にすべての対象回路のテストを実施した場合(N_{Tc}=1)のテストデータ量を示しています。テスト対象ごとに用いるシード数を変化させて、必要となるテストデータ量を推定したものですが、最小である1シードの場合でも、既に制約(8kB)を超過しています。これに対して、分割・巡回テスト[8]により全体テスト集合を8つに分けて、8回のテスト機会ですべてのテストを実施した場合(N_{Tc}=8)、表3-4に示すように多くのシードを用いることができるようになります。一般にクロックドメイン内はクロックドメイン間に比べて回路規模が大きいので、クロックドメイン内のテストで用いるシード数が最大になるようにすると、22個のシードを用いることが可能となります。同様にテスト時間について、1回のテスト機会にすべての対象回路のテストを実施した場合(N_{Tc}=1)と全体を8分割した場合(N_{Tc}=8)の推定値を表3-5及び表3-6に示します。詳細の条件については説明を割愛しますが、この結果からも分割・巡回テストがテスト制約への対応に有効であることが分かります。

表3-3 テストデータ量の推定値 (N_{Tc}=1の場合)

シード数		テストデータ量
ドメイン内テスト	ドメイン間テスト	
1	1	10kB
2	1	11kB
2	2	17kB
3	1	12kB

表3-4 テストデータ量の推定値 (N_{Tc}=8の場合)

シード数		テストデータ量
ドメイン内テスト	ドメイン間テスト	
1	1	4.8kB
2	2	5.6kB
5	5	8.0kB
22	1	7.9kB

表3-5 テスト時間の推定値 (N_{Tc}=1の場合)

シード数		テスト時間
ドメイン内テスト	ドメイン間テスト	
1	1	229ms
2	1	271ms
2	2	459ms
3	1	313ms

表3-6 テスト時間の推定値 (N_{Tc}=8の場合)

シード数		テスト時間
ドメイン内テスト	ドメイン間テスト	
1	1	29ms
2	2	57ms
5	5	143ms
22	1	174ms

なお、リシードによるテスト品質向上については、3つのクロックドメイン(T0, T2, T7)のクロックドメイン内テストを対象に、シード選択手法[5, 7, 19]の有効性の確認実験を行っています。図3-11は、それぞれのケースで1つのシードのみを用いた場合と複数のシードを用いた場合の、パターン数の増加による故障検出率の推移を示しています。いずれのケースでも複数シードを用いた場合のほうが、少ないテストパターン数で高い故障検出率を達成しており、シード選択手法がテスト品質の向上に有効であることが分かります。なお、この実験の結果は上記のテスト制約を考慮したものではありませんが、実際の回路構成に応じて、全体テスト集合をうまく構成し、かつ分割テスト数を適切に設定することで、テストデータ量とテスト時間の制約を守りつつ、必要なテスト品質を確保できることを示しています。

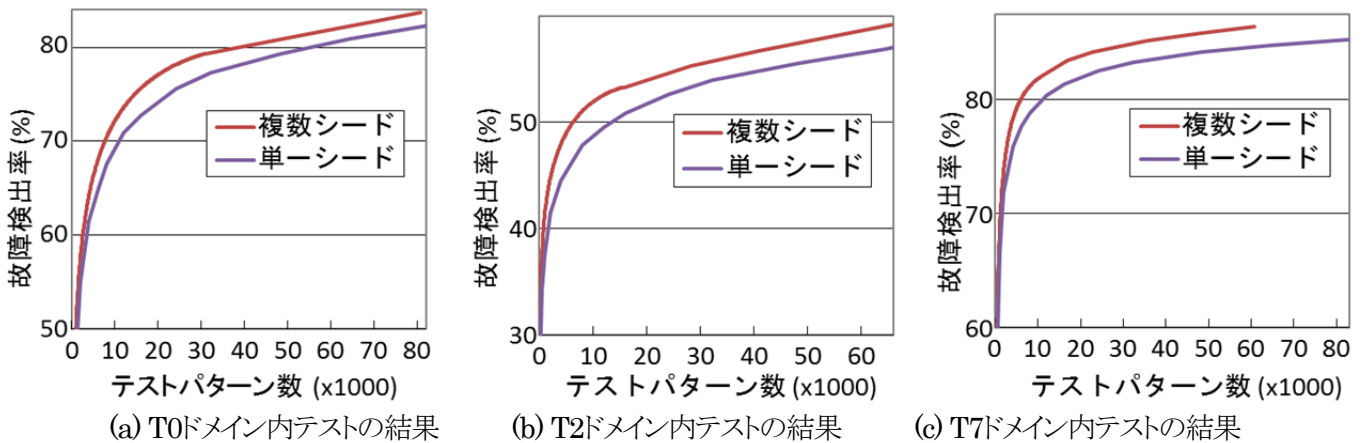


図3-11 シード選択による故障検出率向上

3.7 DART技術の実用化の取り組み

DART技術の実LSIでの実現容易化を目的として、以上に示した技術開発の結果及び評価事例に基づいて、DART実現のためのガイドライン(以下DARTガイドライン)の開発を進めています。DARTガイドラインではDART技術を実現するための構成要素であるDARTモジュール(ソフトウェア及びハードウェア)を定義します。図3-12にDARTモジュール及び関連モジュールの構成を示します。

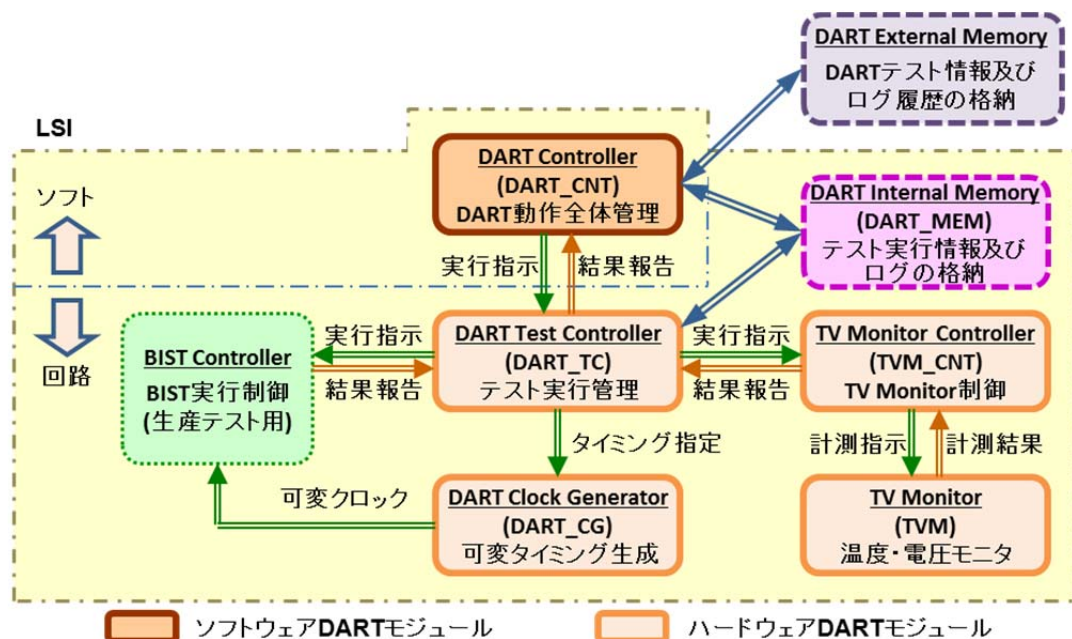


図3-12 DARTモジュール及び関連モジュールの構成

フィールドでのDART動作全体を管理するのがDART Controller (DART_CNT)で、ソフトウェアモジュールとして提供します。DART_CNTは、DARTテスト実行のための情報やテスト結果ログ情報を格納する外部の不揮発メモリ (DART用外部メモリ) 及び内部の作業用メモリ (DART用内部メモリ (DART_MEM))との情報の授受、詳細テスト構成の決定、温度・電圧及び測定遅延値の補正計算を行うほか、DART Test Controller (DART_TC)に指示してDARTテストを実行させます。

DARTのハードウェアモジュール全体を取りまとめてDARTテスト実行を管理するのがDART_TCです。DART_CNTからの指示を受けてDART_MEMに格納されたテスト実行情報に基づきDARTテストを実行します。実行するテスト対象に対応する生産テスト用のBIST Controllerを起動してBISTを実行させます。ロジックBISTにおいては、テスト対象部分の最大動作周波数を測定するため、DART Clock Generator (DART_CG)が発生する可変クロックのタイミングを適宜変更します。なお、ロジックBIST、メモリBISTのいずれのテスト実行時にも、その時の温度・電圧を推定するためにTV Monitor Controller (TVM_CNT)を起動して温度・電圧モニタ (TV Monitor (TVM))による計測を実施します。また、テスト完了後はDART_TCがテスト結果をまとめてDART_MEMに書き込むことにより、DART_CNTに情報を渡します。

なお、DARTモジュールに関しては、一部機能を先行開発しFPGAに実装して確認しています。

4. その他

4.1 標準化への取組み

フィールドでの高信頼化に関連する国際規格としてIEC61508 (機能安全国際規格)がありますが、その中でシステムの安全性能を表す尺度であるSIL (Safety Integrity Level: 安全水準)が規定されています。SILには4段階のレベル (SIL1~SIL4) がありSIL4が最高の水準を示すものです。この規格のPart 2, Annex Eにチップ内冗長に関する規定があり、SIL3の基準が以下のように定められています。

β_{IC} : チップ全体に亘る故障 / 全故障

初期値 $\beta_{BIC} = 33\%$ → Table E.1に従って加算, Table E.2に従って減算

→ $\beta_{IC} < 25\%$ ならばSIL3

加算要因の例としてはオンチップのウォッチドッグを使用したモニタリング (+5%), 減算要因の例としては物理的な位置を隔離・分断する構造 (-2~4%) があります。 β_{IC} を減少させるためには共通要因故障 (Common Cause Failure (CCF)) に対する対策が重要ですが、遅延増加の検出や劣化予測などDART技術により実現できるものがあります。これらの項目に関して減算要因の表に追加されるとともに、今後設定されるSIL4の構成要件として採用されることを目指します。

4.2 知的財産権の取り扱い

DART技術を広くご利用いただくため、保有する知的財産 (図4-1参照) に関しては積極的にライセンスを進めます。



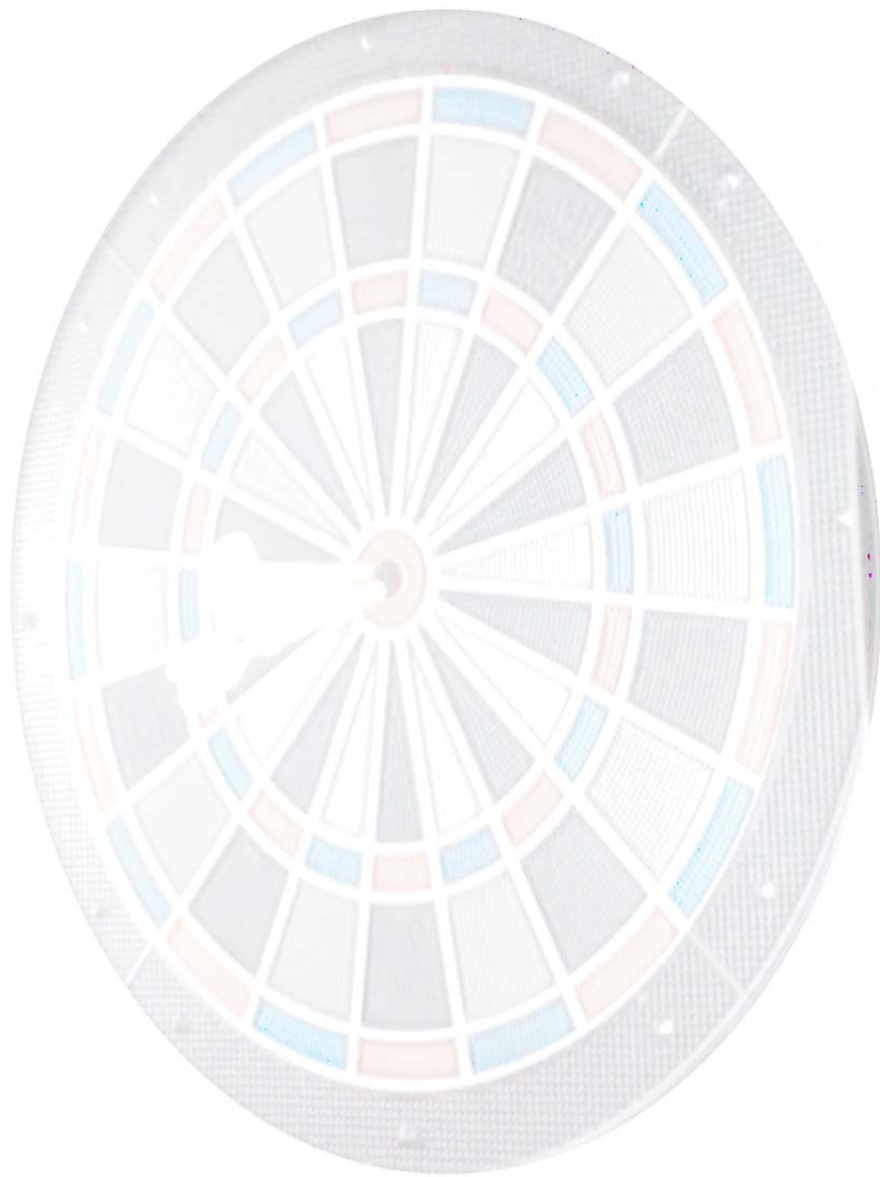
図 4-1 研究成果に基づく特許の出願状況

5. おわりに

我々はVLSIの微細化に対応するフィールド高信頼化のためのテスト技術の開発を進めていますが、その有効性や効果を実証するためには、実際にこの技術を利用いただく企業との連携が重要となります。是非ともご協力いただけますよう、お願いいたします。

文献リスト

- [1] Y. Sato, et al., "A Circuit Failure Prediction Mechanism (DART) for High Field Reliability," *Proc. Int'l Conf. on ASIC (ASICON'09)*, pp. 581-584, 2009.
- [2] M. Inoue, et al., "Optimizing Delay Test Quality with a Limited Size of Test Set," *Proc. Int'l Workshop on Reliability Aware System Design and Test (RASDAT'10)*, pp. 46-51, 2010.
- [3] T. Yoneda, et al., "Thermal-Uniformity Aware X-Filling to Reduce Temperature-Induced Delay Variation for Accurate At-Speed Testing," *Proc. VLSI Test Symp. (VTS'10)*, pp. 188-193, 2010.
- [4] M. Noda, et al., "On Estimation of NBTI-Induced Delay Degradation," *Proc. European Test Symp. (ETS'10)*, pp. 107-111, 2010.
- [5] M. Inoue, et al., "Test Pattern Selection to Optimize Delay Test Quality with a Limited Size of Test Set," *Proc. European Test Symp. (ETS'10)*, p. 260, 2010.
- [6] Y. Sato, et al., "Circuit Failure Prediction by Field Test (DART) with Delay-Shift Measurement Mechanism," *Proc. Integrated Circuits and Devices in Vietnam (ICDV'10)*, 2010.
- [7] T. Yoneda, et al., "Seed Ordering and Selection for High Quality Delay Test," *Proc. Asian Test Symp. (ATS'10)*, pp. 313-318, 2010.
- [8] S. Wang, et al., "A Pattern Partitioning Algorithm for Field Test," *Proc. Int'l Workshop on Reliability Aware System Design and Test (RASDAT'11)*, pp. 31-36, 2011.
- [9] T. Yoneda, et al., "Temperature-Variation Aware Test Pattern Optimization," *Proc. European Test Symp. (ETS'11)*, p. 214, 2011.
- [10] T. Yoneda, et al., "Faster-than at Speed Test for Increased Test Quality and In-Field Reliability," *Proc. Int'l Test Conf. (ITC'11)*, paper 2_2, 2011.
- [11] Y. Sato, et al., "Multi-Cycle Test with Partial Observation on Scan-Based BIST Structure," *Proc. Asian Test Symp. (ATS'11)*, pp. 54-59, 2011.
- [12] H. Yi, et al., "A Failure Prediction Strategy for Transistor Aging," *IEEE Trans. Very Large Scale Integration (VLSI) Systems*, Vol. 20, No. 11, pp. 1951-1959, 2012.
- [13] Y. Miura, et al., "On-Chip Temperature and Voltage Measurement for Field Testing," *Proc. European Test Symp. (ETS'12)*, p. 204, 2012.
- [14] Y. Yamato, et al., "A Fast and Accurate Per-Cell Dynamic IR-Drop Estimation Method for At-Speed Scan Test Pattern Validation," *Proc. Int'l Test Conf. (ITC'12)*, paper 6.2, 2012.
- [15] Y. Sato, et al., "DART: Dependable VLSI Test Architecture and Its Implementation," *Proc. Int'l Test Conf. (ITC'12)*, paper 15.2, 2012.
- [16] Y. Sato, et al., "Low Power BIST for Scan-Shift and Capture Power," *Proc. Asian Test Symp. (ATS'12)*, pp.173-178, 2012.
- [17] S. Wang, et al., "A Scan-Out Power Reduction Method for Multi-Cycle BIST," *Proc. Asian Test Symp. (ATS'12)*, pp.272-277, 2012.
- [18] Y. Yamato, et al., "An Improved Method of Per-Cell Dynamic IR-Drop Estimation Based on the Weighted Switching Activity Metric," *Proc. Int'l Workshop on RTL and High Level Testing (WRTL'12)*, paper 5.3, 2012.
- [19] M. Inoue, et al., "Test Pattern Ordering and Selection for High Quality Test under Constraints," *IEICE Trans. Inf. & Syst.*, Vol. 95D, No. 12, pp.3001-3009, 2012.



DART 技術 White Paper (Version 4.1)

2013 年 9 月 9 日発行

発行元 : CREST 梶原チーム

研究代表者	梶原誠司	九州工業大学
	井上美智子	奈良先端科学技術大学院大学
	三浦幸也	首都大学東京
	大竹哲史	大分大学

連絡先

Tel : 0948-29-7665 (九州工業大学 梶原研究室内)

Fax : 0948-29-7665

E-mail : crest@aries30.cse.kyutech.ac.jp

